

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

- (19) Japanese Patent Office (JP)  
(11) Laid-open No. 58-92217  
(43) Laid open: June 1, 1983  
(12) Patent Laid-open Official Gazette (A)  
(51) Int. Cl.<sup>s</sup>  
H 01 L 21/205  
31/04

Discrimination Mark (Nothing)

Arrangement Number in the Office:

7739-5F  
7021-5F

The Number of Inventions: 1 (9 pages in total)  
Request for Examination: filed

\*\*\*\*\*

(54) A method of manufacturing semiconductor devices

(21) Patent Application No. 56-191267

(22) Filed: November 28, 1981

(72) Inventor: Shunpei Yamazaki

c/o Semiconductor Energy Laboratory, Co., Ltd.  
21-21, 7-chome Kitakarasuyama, Setagaya-ku, Tokyo

(71) Applicant: Semiconductor Energy Laboratory, Co., Ltd.  
21-21, 7-chome Kitakarasuyama, Setagaya-ku, Tokyo

## SPECIFICATION

### 1. NAME OF THE INVENTION

A method of manufacturing semiconductor devices

### 2. CLAIMS

#### 1. A method of manufacturing semiconductor device comprising:

a process of forming a first semiconductor device having a P and N type semiconductor layers on a substrate placed in a reaction chamber by plasma CVD,

a process of forming an intrinsic or substantially intrinsic semiconductor layer in said reaction chamber or in the reaction chamber in a condition where a holder for said substrate is placed therein or a process of removing a semiconductor layer formed on the inner wall of said reaction chamber or on said holder for the substrate, and

a process of forming a second one of said semiconductor device in said reaction chamber.

2. The method of manufacturing semiconductor devices of claim 1, wherein formation of the semiconductor device having at least one PIN junction formed by deposition of a P type semiconductor layer, an intrinsic or substantially intrinsic layer and an N type semiconductor layer on the substrate, is performed in the range of  $T_0 - 50\text{ }^{\circ}\text{C}$  to  $T_0 + 50\text{ }^{\circ}\text{C}$ , where  $T_0$  is temperature of formation of the semiconductor device.

### 3. DETAILED DESCRIPTION OF THE INVENTION

This invention relates to a method of manufacturing a semiconductor device having good repetition and character.

The present invention comprises the step of forming a film for coating an intrinsic or substantially intrinsic semiconductor layer (hereinafter called as I layer), or not necessarily I layer but a film of the same conductivity type as that of the layer to be formed next, between each the step of forming a first semiconductor device having P type or N type semiconductor layer inside of the reaction chamber by a plasma CVD, and the step of forming a P type or N type semiconductor layer to be formed next, thus preventing re-exhaustion of the N type or P type impurity of the first semiconductor device from the inwall and/or substrate holder of the reaction chamber, which causes contamination in the film to be formed next by the impurity concentration of  $10^{15}$  to  $10^{18}\text{cm}^{-3}$ . Thus the present invention is aimed at substantially eliminating the effect of the semiconductor layer formed in the former step in the past.

The present invention is also aimed at providing the process of removing the objects adhered to the surface of the inwall of the reaction chamber and the substrate holder and the like in the semiconductor layer formed in the former step, by utilizing a reactive gas such as  $\text{CF}_4$  into plasma.

The present invention is characterised in that RUN-TO-RUN is repeated well and with less characteristic dispersion, and the character to be obtained is made excellent.

The present invention is further aimed at forming a semiconductor layer being intrinsic or substantially intrinsic, such as a non-single crystal silicon on the surface of the inwall of the reaction chamber, on the surface of the semiconductor device having

at least a connection especially PIN, PI, NI or PN on the substrate provided in the reaction chamber in advance, in order to prevent impurities, especially oxygen and alkali metal atoms from being emitted from the inwall of the reaction chamber, especially from the inwall to which plasma atoms or a reaction gas clashes.

In the present invention, in order to prevent re-emission by the coating which substantially eliminates the emission, the semiconductor layer is formed in the range of  $P_0 - 10W$  (at least  $5W$ ) to  $P_0 + 30W$ , and  $T_0 - 50\text{ C}$  to  $T_0 + 50\text{ C}$ , wherein  $P_0$  being like  $5$  to  $100W$ , and  $T_0$  being like  $200$  to  $320\text{ C}$ , or preferably under the same or approximately same condition as  $P_0$  and  $T_0$ , where  $P_0$  is electromagnetic energy, and  $T_0$  is temperature needed for formation of a semiconductor layer, thus aiming at forming the semiconductor layer by the thickness of  $0.2$  to  $1$ .

The plasma CVD method, a semiconductor device having a PIN connection and the like were used to be formed in a reaction chamber. However, when this connection is repeatedly performed, degradation and dispersion which is not totally known is made, and only semiconductors which did not have appropriate reliability were made.

The cause of this was studied, and it was known that it was oxygen and alkali metal adhered to the reaction chamber that contaminated the semiconductor layer and caused degradation of electric conductivity. As to oxygen, even though contamination was  $1\text{ PPM}$ , dark conductivity was decreased from  $10^{-6}\text{ (cm)}^{-1}$  to even  $10^{-8}\text{ (cm)}^{-1}$ , which was  $1/100$ .

As to alkali metal, at the contamination of  $5\text{ PPM}$ , it caused decrease of conductivity of P type, I type, and decrease of electric conductivity of a transparent conductive film.

To prevent this contamination, it was necessary to form a

semiconductor layer by 0.2 to 2 thickness on the inwall of the reaction furnace and the substrate holder (it is also called as boat), especially on parts to be sputtered by a reactive gas, to make a coating. Concerning degradation of repetitive character, if an N or P type semiconductor is formed in the last process and a P or N type semiconductor layer is formed in the next first process, the first impurity such as phosphorus was contaminated in the P type semiconductor layer, by the concentration of  $10^{13}$  to  $10^{15}\text{cm}^{-3}$ . As a result, even if boron and the like is added by the concentration of  $10^{18}$  to  $10^{21}\text{cm}^{-3}$  in the P type semiconductor layer to make a P type layer, characteristic of its electric conductivity was very bad because re-combination centers increased by the contamination of phosphorous. Compared with  $10^{-2}$  to  $10^{-6}(\text{cm})^{-1}$  in the case without the contamination, it was just  $10^{-6}$  to  $10^{-4}(\text{cm})^{-1}$ , which was 1/100 to 1/1000. It was not preferable for a PIN type photoconductive conversion device, because efficiency of 2 to 4% was obtained with much dispersion as 200% by each run. However, in the method of the present invention, high conversion efficiency of 8 to 10%, which is approximately 3 to 5 times more than that before.

To decrease this effect of impurity oxygen doping, a patent application by this inventor, 56-55608 (original display 53-152887, filed on December 10, 1978) is known. In this invention, separated reaction chambers are made for each P layer, I layer, and N layer, and a substrate is deposited with films by transferring the substrate from one chamber to another. In this method, the same condition as this invention can be obtained, and very desirable electric character can be obtained. However, in that case, the apparatus is three times bigger than that of the apparatus comprising a chamber, and manufacturing cost is 2.5 to 3 times more expensive. Moreover, there were weak points such that this method

was not for mass production.

This invention is effective for such reaction chamber, especially effective for a horizontal furnace. Moreover, this invention is particularly effective in producing many semiconductor devices on a substrate, and including depreciation of the apparatus per a semiconductor device, production cost can be made as 1/100 of that of the vertical type reaction chamber. That is, the present invention mainly relates to a method utilizing a reaction chamber or a reaction cylinder (10 to 30cm , 1 to 5m in length) disposed horizontally for such mass production.

A pair of electrodes for supplying electromagnetic energy which makes a reactive gas into plasma are provided around this cylinder, and a heating apparatus is provided surrounding this reaction cylinder and said electrodes, in order to have a reactive gas flow in the reaction chamber in the longitudinal direction of this reaction chamber, and substrates are disposed along the flow of this gas.

It is mainly mentioned that substrates are disposed in parallel with or in vertical with the electromagnetic field in the reaction chamber produced by a pair of electrodes, the substrates are disposed in a plurality of steps or rows, thus films, especially semiconductor films such as silicon, silicon carbide, silicide germanium, germanium, that is, element of value 4, are deposited on the face to be deposited of substrates of 2 to 20cm square, such as 10cm square, which are disposed in 20 steps and 20 rows, which are 400 pieces in total.

The present invention relates to a plasma CVD, wherein a reactive gas comprising hydride or halide (silicide carbide gas), silicide gas like silane ( $\text{Si}_n\text{H}_{2n+2}$ ,  $n \geq 1$ ), or hydrocarbon like acetylene is utilized to form a film mainly comprising non-single

crystal silicon carbide, silicon or carbon under reaction chamber pressure of 0.05 to 1 torr, and temperature of 100 to 400 C.

In the present invention, impurity gas including B, Al, Ga, In being impurities selected from Group III of the Periodic Table, such as phosphine ( $\text{PH}_3$ ) or arsine ( $\text{AsH}_3$ ) is gradually added and P type layer, I type layer, and N type layer are deposited in the order of PIN adhering on the substrate having a face to be coated, thus the present invention is aiming at repeating this process and depositing such layers stably. The present invention is further aimed at forming a non-single crystal semiconductor layer such as a semiconductor of amorphous structure (called as AS), semiamorphous having micro-crystal character of 5 to 100 (semi-non-crystal, hereinafter called as SAS), or micropolycrystal of 5 to 200 (micro-poly-crystal, hereinafter called as PC). In the case that stronger electromagnetic energy is applied, the surface of the substrate is likely to become sputtered amorphous structure with a lot of electric defects.

It is characteristic that the substrates are separated from each other by 10 to 40mm, especially 20 to 25mm. Even in the case high energy of 200 to 500W is needed for plasma reaction, by controlling the distance between the substrates, the distance which obtains substantial plasma energy of this species on the faces to be coated is controlled. Even in the case that high energy above mentioned is applied, the present invention has the same characteristic as the case when a film is deposited by substantially small power of 2 to 20W.

Therefore in the present invention, a material having Si-C connection is utilized as a starting material in producing  $\text{SiC}$  ( $\text{Si}_x\text{C}_{1-x}$ ,  $0 < x < 1$ ). That is, a reactive gas such as hydride or halide having carbon-silicon connection, such as tetramethylsilane [ $\text{Si}$ (



$\text{CH}_3)_4$  (simply called as TMS), tetraethylsilane  $[\text{Si}(\text{C}_2\text{H}_5)_4]$ ,  $[\text{Si}(\text{CH}_3)_x\text{Cl}_{4-x}]$  (1 X 3)  $\text{Si}(\text{CH}_3)_x\text{H}_{4-x}$  (1 X 3) is utilized to have Si-C connections easily in the product.

In obtaining a film mainly comprising silicon, silane of  $\text{Si}_n\text{H}_{2n+2}$  (n 1),  $\text{SiF}_4$  or mixed gas of them were utilized. In obtaining carbon, acetylene ( $\text{C}_2\text{H}_2$ ) or ethylene ( $\text{C}_2\text{H}_4$ ) was mainly utilized. By doing so, silicon (Si), silicon carbide ( $\text{Si}_x\text{C}_{1-x}$  0 < x < 1), or carbon (C) [Because addition of these can be written as  $\text{Si}_x\text{C}_{1-x}$  (0 X 1), hereinafter silicon carbide means  $\text{Si}_x\text{C}_{1-x}$  (0 X 1)]

Impurities selected from Group III or Group V of the Periodic Table are added to this, and P type, I type (intrinsic, or substantially intrinsic without artificial addition of impurities including auto-dope), furthermore N type semiconductor or semi-insulator were formed.

By the use of this reactive gas, a film can be formed at 0.01 to 10 torr at 1 atom or less in the reaction chamber, typically under pressure of 0.3 to 0.6 torr and electromagnetic energy of 50W or less, for example, under 0.01 to 100MHz, especially 500KHz or 13.56MHz. That is, a low-energy plasma CVD apparatus can be made.

In a high energy plasma atmosphere of 50 to 500W, silicon carbide is made into micro-crystal. As a result, if boron or phosphorous is added by 0.1 to 5% [here ratio of ( $\text{B}_2\text{H}_6$  or  $\text{PH}_3$ ) / (carbide gas or carbide silicide gas + silicide gas) is expressed by percent], and electric conductivity of  $10^{-9}$  to  $10^{-3}$  ( $\text{cm})^{-1}$  could be increased as to approximately 1000 times more, which is  $10^{-6}$  to  $10^{-2}$  ( $\text{cm})^{-1}$ .

Furthermore, silicon carbide obtained by utilizing this high energy method could make what is called SAS structure having micro-crystal structure of 5 to 200Å. Ionization rate that P type or N type impurities to be acceptors or donors of this SAS was 97 to

100%, and all added impurities could be activated. The plasma vapor phase method of this invention is explained according to figures.

Fig.1 shows a summary of the plasma CVD apparatus utilizing the present invention.

In Fig.1, a substrate 1 having a face to be coated is held by a square quartz holder. In the figure, there are 14 pieces in total, which are in seven steps and two rows. Substrates and holders are provided in advance from an entrance 30 to the other chamber 29 in the front of the reaction chamber, and is vacuumed by a valve 32 and a rotary pump 33. A closing door 34 is opened, and the substrate and holder are introduced into the reaction chamber by an automatic transferring apparatus, and a mixing plate 35 for a mixer is disposed at the same time. These movements are performed under vacuum condition in the reaction chamber and another chamber, and any mixture of oxygen (air) into the reaction chamber is prevented. By closing the closing door 34, as is seen in the Figure, a substrate is disposed between electrodes 9 and 10.

Each substrate is disposed with spaces of 10 to 40mm, typically 20 to 25mm. A reactive gas along this holder is made as laminar flow by providing a mixer 8 in front of a reaction chamber 25. This reactive gas is made to be equally injected to spaces between the substrates. The face to be deposited is a side face of substrates adhered to one another on the lower side or back side and which are vertically disposed.

The figures shows a structure of the reaction system seen from above, and substrates 1 are vertically disposed with their back sides adhered to one another. To remove flakes downward by using gravity like this is very important in considering mass production yield.

In the reaction chamber 25 to which the substrates 1 are

inserted, a pair of electrodes 9 and 10 are disposed upside and downside, or right and left, so as to have field of electromagnetic energy to these substrates in vertical or in parallel (especially if the electromagnetic energy is applied to the substrates in parallel, homogeneous films can be easily made) with the substrates, as in Fig. 2A or B, especially like B. An electric furnace 5 is provided outside of the electrodes, and the substrate 1 is heated at 100 to 400 C, typically 300 C.

As to a reactive gas, a carrier gas of hydrogen or helium, such as helium is introduced from 13, diborane being an impurity selected from Group III is introduced from 14, phosphine being an impurity selected from Group V is introduced from 15, and silane being an impurity selected from Group VI is introduced from 16.

By the use of a reactive gas TMS 20 having carbon-silicon connection, it is kept in a stainless vessel because it is liquid in the primary stage. This vessel is controlled at a decided temperature by an electron constant temperature bath 21. The boiling point of this TMS is 25 C, and a rotary pump 12 exhausts the reaction chamber through a valve 11, and the reaction chamber is kept at 0.01 to 10 torr, especially 0.02 to 0.4 torr. By doing this, TMS can be made into gas by a low pressure without heating it, as a result. Compared with the method of emitting a reactive gas by bubbling the chamber 21 as the conventional method, this method of introducing vaporized TMS with 100% concentration through a flowmeter can control flow more accurately, and is technically important.

If the flowmeter is practically stopped up, helium is introduced from 24 in the figure.

In removing a reaction product adhered to the inwall of the reaction cylinder 25 or the holder 2,  $\text{CE}_4$  or  $\text{CF}_4 + \text{O}_2$  (2 to 5%) is

introduced from 17, electromagnetic energy is applied, fluorine radicals are produced, vapor phase etching is performed, and thus the reaction product is removed. In this plasma discharge, a space reaction is mainly utilized. After a reactive gas is mixed through a mixing chamber 8, it is decomposed or reacted in an enhance chamber 26, and a reaction product is formed on the substrate. As to electromagnetic energy, DC current or high frequency from an electric source 4 is mainly utilized.

Like above mentioned, a silicon carbide film is formed on the face to be deposited. For example, substrate temperature is 300 C, output of high frequency energy is 25W, flow of silane or TMS is 50cc/minute, and He as a carrier gas is 250cc/minute. At 5 (reactive gas/He), film deposition speed of 160A/minute is obtained.

In this film formation, reaction products with thicknesses needed for PIN connection, PN connection, PI, NI connection, PINPIN connection are deposited on the substrate one by one. After formation of a film of the face to be coated is finished, and after a reactive gas is fully purged from the reaction cylinder, the closing door is opened. The mixing board for mixer 35, a substrate on a jig 3 are transferred to the other chamber 29 by an automatic pullout pipe, while making the reaction cylinder and the other chamber in vacuum. After closing the closing door 34, the valve is opened and air is filled from 31 in the other chamber to make it an atmospheric pressure. Then the jig and the substrate to which a film has been deposited are taken outside.

As is clear from above mentioned embodiment, it is characteristic in the present invention that after a reactive gas is mixed by the mixer 8, this gas is flown to the exhaustion opening 6 in laminar flow (from the standpoint of micron view, it moves at random when it is made into a plasma) and a film is formed on the

face to be deposited by 0.1 to 3 thickness, within 5% dispersion, which is disposed in parallel with this flow. It is also characteristic that in making a plasma by a glow discharge method, its electrode is disposed outside of the reaction cylinder, and a plasma is made to be produced equally on many substrates.

In forming films, if a reaction cylinder is made long to have substrates in 20 steps and 20 rows, which is not like 7 steps and 2 rows in the figure, it is important to make pressure low as 0.2, 0.1, 0.05 torr, not like 0.4 torr, in order to make films homogeneously, especially to obtain equality in the film quality, especially equality in the front row and in the end row. It is also essential to have the other chamber and to have processes in the air through this chamber, in order to prevent oxide gas such as oxygen which is hard to control from being contaminated in this reaction cylinder. It is effective in obtaining repetition of character of the obtained films.

Fig.2 shows relationship of the position of the substrate 1 seen from the exhaustion opening 6 and the electrodes 9 and 10. In the figure, A shows horizontal substrates and horizontal electromagnetic field caused by electrodes 9 and 10. In this case, the number of the substrates to be introduced at a time can be increased. In Fig.2B, both electromagnetic field by the electrodes 9 and 10 and the substrate 1 are disposed vertically. The number of disposed substrates is twice as many as that of A. Fig.3 shows a operation process chart of the method of manufacturing a semiconductor of the present invention.

In the figures, 49 being "0" shows the reaction chamber kept at 0.01 torr or less by vacuuming. 40 being "1" shows coating of silicon or silicon carbide to the reaction chamber, reaction cylinder, or the holder in the present invention. This coating

specifically are B and C in Fig.3. In Fig.3B, the reaction chamber is vacuumed by 49 at 0.01 torr or less, and kept for 10 to 30 minutes. Then plasma cleaning is performed by hydrogen by electromagnetic energy for 0 to 30 minutes at output of 30 to 50W. Adhesion, water, and oxygen is removed. Furthermore, after removing this hydrogen, helium is simultaneously made into plasma by 51 at output of 30 to 50W, for 10 to 30 minutes, and hydrogen on the surface is removed. In production of this hydrogen plasma, if HCl or Cl is added to hydrogen by 1 to 5% concentration, chroline radicals are simultaneously produced. This radical has an effect of absorbing alkali metal like sodium existing inside of the holder made of quartz and the like. Therefore concentration of sodium, water, oxygen in the background level can be made as  $10^{14}\text{cm}^{-3}$  or less in the formed film. This is a very important pretreatment process.

In the case of adding chlorine like this, removal by sputtering by inactive gas 51 is effective for removing chlorine left and absorbed in this inwall.

After vacuuming this system after this process, silane being silicide gas or TMS being carbide silicide is introduced, and is decomposed by a plasma energy, and a film is deposited by 0.1 to 2 thickness, typically 0.2 to 0.5 thickness. As another good result, the film is deposited thickly especially on a region to which high electromagnetic energy is applied, that is, on a region in which impurities are subject to be re-emitted.

Even in the case of not performing complicated pretreatment process in this invention, silicon or silicon carbide is formed at 52 by 0.1 to 2 thickness in the same way, while re-emission of oxygen and alkali from the inwall of the reaction chamber is effectively prevented. In Fig.3A, coating of the substrate and vacuuming of the system 41, formation of an I type semiconductor

layer 43. formation of an N type semiconductor layer 44 is performed, and a first semiconductor layer is formed in 48. Naturally this semiconductor device must be formed in a device design having at least one connection such as PI, NI, PIN, PN as above mentioned.

To prevent effect of the process 44 utilized in the first formation of the semiconductor device from causing effect on the next run, I type semiconductor layer shown in 46 or a semiconductor layer being the same as the semiconductor layer shown in 42' is coated on the substrate in the reaction system to which the reaction chamber only or the reaction chamber and the holder are inserted. Details are shown in Fig.3 B, C, D, and E. In Fig.3 B, vacuuming 49, hydrogen plasma discharge 50, helium plasma process 51, a process of forming a semiconductor layer in the first process of run of the semiconductor device 52 are shown. However, because this 50 and 51 have been already performed in 46 in A, formation of a semiconductor layer by 0.1 to 2 thickness is enough at 52 in C.

To lose effect of formation of semiconductor device 40 in the former process, that is, to lose effect of the run before, plasma etching process shown in D and E can be performed. In Fig.3 D or E, after vacuuming 49,  $CF_4$  or  $CF_4 + O_2$  (approximately 5%) is introduced from 17 in Fig.1, and plasma etching 53 is performed for 20 minutes to 1 hours. Vacuuming is performed again, and hydrogen plasma treatment 50 is performed for 10 to 30 minutes to remove residuals of C and F, and then a semiconductor layer of I type or of the same conductivity type and component as that of the semiconductor layer 42' of the first run in the next process is formed on this I layer by 0.05 to 0.5 thickness. This method can most thoroughly guarantee repeatability.

As an easy method, vacuuming of 49 shown in E, plasma etching 53

and removal of residual absorbed gas 50 is performed. In this method, it is made possible to prevent mixture of P or N type impurities with each other between the last process 44 of formation of the first semiconductor device 48 and the first process 42' of the next process 48'. It is also possible to prevent mixture of additives at 44 like carbon or germanium at 42'.

Fig.4 shows a result of valuation of the effect of the method of the present invention. Fig.4 is a result of the photoelectric conversion device produced by utilizing the method of the present invention. In this case, a multilayer substrate comprising ITO deposited by 500 to 2000 thickness on metal such as stainless substrate or glass being a translucent substrate, and tin oxide or antimony oxide deposited by 100 to 500A thickness thereon is utilized. On this substrate, PIN structure is formed. P type silicon oxide [ $\text{Si}_x\text{C}_{1-x}\text{O}$  X 1,  $X = 0.3$  to  $0.5$  for example] is deposited by 0.4 to 0.7 thickness. Upon this, intrinsic or substantially intrinsic silicon of AS or SAS is deposited by 0.4 to 0.7 thickness. Further upon this, N type silicon oxide [ $\text{Si}_x\text{C}_{1-x}\text{O}$  X 1,  $X = 0.3$  to  $0.5$ ] is deposited by 100 to 300A thickness. Design of this P, I, N type semiconductors correspond to 42, 43, 44, 42'... in the chart of Fig.3 A.

After that, a photoelectric conversion device is made by forming an aluminum metal film by vacuum deposition method. Its conversion efficiency is shown in Fig.4 A. If pretreatment is not utilized at the condition of AM1 ( $100\text{mW}/\text{cm}^2$ ), 3% of 71 is obtained, and if pretreatment is not utilized, value of 70 is obtained. If intermediate process 46 is added, efficiency of run (by date of formation) is 60. If nothing is added, 61 is obtained. 60 can obtain efficiency of 11 to 9%, but efficiency is just 1 to 4% if the method of the present invention is not used. If the area of this



cell is made as  $100\text{cm}^2$ , efficiency of 7 to 9% can be obtained, but efficiency is just 0 to 3% if the method of the present invention is not used. Especially those cells which does not have diode character is 30% or more, and it is impossible to produce good cells.

Fig.4 B shows the value of electric conductivity when an I type silicon semiconductor is formed by the process of forming a P type semiconductor especially on the surface. In the case of forming a P type semiconductor in the first process and no pretreatment of intermediate treatment of the method of the present invention is performed, electric conductivity by light radiation of AM1 is 65. There is a case when electric conductivity is in reverse to dark conductivity. Its value is dispersed a lot, from  $10^{-6}$  to  $10^{-4}$ . On the other hand, in the case that the pretreatment of the present invention is performed, light conductivity 70 and dark conductivity 70' is obtained. In the case that intermediate treatment is performed, light conductivity 62, and dark conductivity 63 is obtained. These show how important it is to prevent doping effect in the present invention.

As is clear from above mentioned explanation, the present invention supplied a producing apparatus and a producing method which are very important in producing not only a photoelectric conversion device or a light emitting element, but also in producing various kinds of semiconductor devices such as a field effect semiconductor device and a photo-sensor array. This invention is particularly appropriate for mass production, because non-single crystal semiconductor films can be formed on 100 to 500 pieces of substrates in the same time spent for forming 4 pieces of  $10\text{cm}$  by the conventional vertical type plasma CVD apparatus. The electrode structure or arrangement of substrates in the present invention

enables conversion efficiency of 10% or more in a photoelectric conversion device having a PIN structure and an excellent film equality.

In the present invention, silicon carbide ( $\text{Si}_x\text{C}_{1-x}$  0 X 1) is mainly written. If germanium is utilized as a reactive gas,  $\text{Si}_x\text{Ge}_{1-x}$  (0 X 1) can be obtained. It is also possible to obtain what is called a tandem structure, with the first PIN structure comprising silicon and silicon carbide, and the second PIN structure with silicon and germanium silicide.

In the present invention, a horizontal plasma CVD apparatus shown in Fig.1 is mainly shown. However, the present invention is also effective even if the electrodes are made as dielectric, or a plasma CVD apparatus utilizing arc discharge is utilized. A vertical, or horizontal verger type plasma CVD apparatus can also embody the method of the present invention.

#### BRIEF EXPLANATION OF THE PRESENT INVENTION

Fig.1 shows a plasma vapor phase apparatus of the present invention. Fig.2 shows a part of Fig.1. Fig.3 utilizes the apparatus in Fig.1, and is a chart showing the case the plasma vapor phase method of the method of the present invention is utilized. Fig.4 A is efficiency of the photoelectric conversion device obtained according to the chart in Fig.3. B shows another report of doping prevention effect of the method of the present invention.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭58-92217

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/205  
31/04

識別記号 庁内整理番号  
7739-5F  
7021-5F

⑬ 公開 昭和58年(1983)6月1日

発明の数 1  
審査請求 有

(全 9 頁)

⑭ 半導体装置作製方法

⑯ 特 願 昭56-191267  
⑰ 出 願 昭56(1981)11月28日  
⑱ 発 明 者 山崎昇平  
東京都世田谷区北烏山7丁目21

番21号株式会社半導体エネルギー  
研究所内  
⑲ 出 願 人 株式会社半導体エネルギー研究  
所  
東京都世田谷区北烏山7丁目21  
番21号

plasma

明 細 書

1. 発明の名称

半導体装置作製方法

2. 特許請求の範囲

1. プラズマ気相法により反応炉内に設けられた基板上にP型およびN型半導体層を有する第1の半導体装置を形成する工程と、前記反応炉または該反応炉に前記基板のホルダーを設置して真性または実質的に真性の半導体層を形成する工程と、または前記反応炉内装または前記基板のホルダーに被着した半導体層を除去する工程と、前記反応炉により第2の半導体装置を形成する工程とを有することを特徴とする半導体装置作製方法。

2. 特許請求の範囲第1項において、基板上にP型半導体層、真性または実質的に真性の半導体層およびN型半導体層を形成することによりPN接合を少くともひとつ有す

る半導体装置の作製温度  $T_0$  に対し  $T_0 - 50^\circ\text{C}$  ~  $T_0 + 50^\circ\text{C}$  の範囲で形成されることを特徴とする半導体装置作製方法。

3. 発明の詳細な説明

本発明はプラズマ気相法により、再現性、特性のよい半導体装置を作製する方法に関する。本発明はプラズマ気相法により反応炉内に設けられた基板上にP型およびN型の半導体層を有する第1の半導体装置を形成した後、この半導体装置のNまたはP型不純物が次に作られるPまたはN型の半導体層中に反応装置の内装または基板のホルダーより再放出され、これが  $10^{-5}$  ~  $10^{-10}$  の濃度で混入されてしまうことを防止するため、この各工程の間に前記作られた半導体層上に真性または実質的に真性（以下I層という）のコーティング用の被膜を形成する工程（この被膜は次の工程の最初に作られる被膜層よりコーティングしてもよい）により実質的に過去の被膜を除去してしまふことを目的としている。

さらにまたは前回作られた半導体層のうち、反応装置の内壁、基板のホルダー等の表面に付着したものを $CF_4$ 等の反応性気体をプラズマ化することにより除去してしまいう工を設けることを目的とする。

かくすることにより再現性よく RUN-TO-RUN の特性を大きくするとともに、その得られた特性もきわめてすぐれたものとするができるという特徴を有する。

また本発明は反応炉内に設けられた基板上に少くともひとつの接合特に PIN, PI, NI または PN 接合を有する半導体装置において、反応炉の内壁特にプラズマ原子または反応性気体が衝突する内壁より不純物特に酸素、アルカリ金属原子が放出されることを防ぐため、これらの表面にあらかじめ真性または実質的に真性の半導体層例えば非単結晶珪素を形成することを目的としている。

本発明はこれらの実質的に除去するためのコーティングにより再放出を防ぐため、半導体層

またアルカリ金属にあつても、5PPMの混入において、P型、I型の伝導度の低下また逆増電層の伝導度の低下をもたらしてしまつた。

これらの混入を防ぐため、反応炉の内壁また基板のホルダー（ポートともいう）の特にプラズマによる反応性気体にスベツタされる部分に対して、あらかじめ半導体層を $0.2 \sim 2 \mu$ の厚さに形成させ、コーティングしてしまふことができるわめて重要であつた。さらに再現性特性劣化に対しては、ひとつの半導体装置の作製に対し、その最後の工程がNまたはP型半導体層を作りまた次の最初の工程にPまたはN型の半導体層を作ろうとした時、 $10^{-10} \sim 10^{-9}$ の濃度に最初の不純物例えばリンがP型半導体層中に混入してしまふ。このためP型半導体層は例えば $10^{-10} \sim 10^{-9}$ の濃度にホウ素を添加してP型層としてもその電気伝導度はリンの混入により再結合中心が増加するためきわめて特性が悪く、混入がない場合 $10^{-10} \sim 10^{-9} (cm)$ に対し、 $10^{-1} \sim 1 (cm)$ と

を半導体装置の作製に必要な電磁エネルギーの出力 $P_0$ 例えば $5 \sim 100W$ 、温度 $T_0$ 例えば $200 \sim 320^\circ C$ に対し、 $P_0 - 10W$ （但し最低 $5W$ とする） $\sim P_0 + 30W$ の範囲、また $T_0 - 50^\circ C \sim T_0 + 50^\circ C$ 特に好ましくは $P_0, T_0$ と同じまたは概略同じ条件にて作製し、 $0.2 \sim 1 \mu$ の厚さに形成せしめることを特徴としている。

従来プラズマ OVD 法に關しては、ひとつの反応炉にて PIN 接合等を有する半導体装置の作製が行なわれていた。しかしこの接合をくりかえし行なうと、全くわけのわからない劣化、バラツキに悩まされてしまひ、半導体装置としての信頼性に不適当なものしかできなかつた。

この原因を調べた結果、この最大の原因は、反応炉内に付着している酸素、アルカリ金属が半導体層中に混入して、電気伝導度の低下をもたらすものであり、酸素にあつては 1PPM の混入であつても、略伝導度 $10^4 (cm)$ を $10^5 (cm)$ と $1/100$ にまで下げてしまつていた。

$1/100 \sim 1/1000$ しか得られなかつた。

このため PIN 型光電変換装置においては $2 \sim 4\%$ の効率を各ランごとのバラツキを $\pm 200\%$ も有して得られたにすぎず好ましくなかつた。しかし本発明方法にあつては、 $8 \sim 10\%$ の約 $3 \sim 5$ 倍の高い変換効率を得ることができるようになつた。

またこの不純物酸素ドーピングの効果を少くするため、本発明人の出願になる特許願 半導体装置作製方法 56-55608（原表示 53-152887 昭和53年12月10日出願）が知られている。これは例えば PIN 半導体装置を作ろうとする時、各 P 層、I 層、N 層をそれぞれ独立の反応炉を作り、基板をその層間を移動せしめることにより行わんとするものである。この方法にあつては、本発明と同じ対策を持つことができる。きわめて好ましい電気的特性を得ることができる。しかしその場合、装置はひとつの室の方式の3倍であり、製造コストが $2.5 \sim 3$ 倍も高

価になつてしまふ。に多量生産向きでない等の欠点を有していた。

本発明はかかる反応炉において、特に横型の反応炉において特に有効である。また多量に基板に半導体装置を作ろうとする時特に有効であり、半導体装置ひとつあたりの装置の減価償却を含めて、製造コストをたて型反応炉の1/100にできるという大きな特徴を有している。

すなわち本発明はかかる多量生産用に横型に配置された反応炉または反応筒(10~30cm、長さ1~5m)を用いる方法を中心として記す。

かかる反応筒の外側に一對の反応性気体をプラズマ化する電磁エネルギー供給用の電極と該電極の外側にこの反応筒および電極を囲んで加熱装置とを具備し、この反応炉内を炉方向に反応性気体を流し、この気体の流れにそつて基板を配置せしめたものである。

さらにかかる装置内に一對の電極により発生する電磁界に垂直または平行に基板を配置し、これを複数段または複数列配列して2~20cm<sup>2</sup>の

をPINの順序にて積層形成せしめ、これをくりかえし、安定して作製することを目的としている。さらに本発明はプラズマ化する電磁エネルギーのパワーにより、アモルファス構造の半導体(ABという)、5~100Åの大きさの微結晶性を有するセミアモルファス(半非晶質、以下SABという)または5~200Åの大きさのマイクロポリクリスタル(微多結晶、以下PCという)の構造を有する半導体の如き非単結晶半導体膜を作製せんとするものである。さらに強い電磁エネルギーを与える場合、基板表面ではスパッターされた電気的欠陥だらけのアモルファス構造になりやすい。かかる欠陥構造をなくするため、基板は互いに10~40mm、代表的には20~25mm離間し、プラズマ反応に200~500Wという高いエネルギーが必要な場合であっても、被形成面上にはこのスピーシーズの実質的なプラズマエネルギーを得る距離を基板間の距離で制御し、実質的に2~20Wという弱いパワーで被膜化せ

基板例えば10cm<sup>2</sup>の基板を20段2列計400まいの被形成面上に一度に被膜特に珪素、炭素炭化珪素または珪化ゲルマニウム、ゲルマニウム被膜すなわち4価の元素を中心とした半導体膜を形成せしめることを中心として記す。

本発明は炭素-珪素結合を有する水素化合物またはハロゲン化合物(炭化珪化合物気体)よりなる反応性気体、シラン(SiH<sub>4</sub>、n≥1)の如き珪化合物気体またはアセチレン等の炭化水素を用いて被形成面上に非単結晶の炭化珪素、珪素または炭素を主成分とする被膜を0.05~1torrの反応炉圧力で100~400°Cの温度で形成せしめるプラズマ気相法に関する。

本発明はさらにかかる反応性気体にⅢ価の不純物であるB, Al, Ga, Inを含む不純物気体例えばジボラン(B<sub>2</sub>H<sub>6</sub>)、Ⅴ価の不純物を含む不純物気体例えばフォスフィン(PH<sub>3</sub>)またはアルシン(AsH<sub>3</sub>)を漸次添加して被形成面を有する基板上に密着してP型層、さらにI型層およびN型層

しめると同等の特性を有せしめたことを特徴とする。

このため本発明においては、その出発物質である反応性気体に炭化珪素(Si<sub>1-x</sub>C<sub>x</sub>, 0<x<1)を作ろうとした場合、炭素-珪素結合を有する材料を用いた。すなわち炭素-珪素結合を有する水素化合物またはハロゲン化合物例えばテトラメチルシラン(Si(CH<sub>3</sub>)<sub>4</sub>) (単にTMSという)、テトラエチルシラン(Si(CH<sub>2</sub>)<sub>4</sub>)、Si(CH<sub>3</sub>)<sub>3</sub> x C<sub>2</sub>H<sub>5</sub> (1≤x≤3)、Si(CH<sub>3</sub>)<sub>3</sub> x H<sub>2</sub> (1≤x≤3)等の反応性気体を用いて反応生成物中にSi-C結合を得やすくしている。

また珪素を主成分とする被膜を得ようとする時はSiH<sub>4</sub>、n≥1のシラン、SiF<sub>4</sub>またはこれらの混合気体を用いた。炭素を得ようとする時は、アセチレン(C<sub>2</sub>H<sub>2</sub>)またはエチレン(C<sub>2</sub>H<sub>4</sub>)を主として用いた。こうすることにより、珪素(Si)、炭素(C)または炭素(Si<sub>1-x</sub>C<sub>x</sub>, 0<x<1)または炭素(C) (これらを含わせるとSi<sub>1-x</sub>C<sub>x</sub>, 0≤x≤1)と示すことができるため、以下炭化珪素という時はSi<sub>1-x</sub>C<sub>x</sub> (0≤x≤1)

を意味するものとする。作製する。

さらにここにⅡ価またはⅤ価の不純物を添加して被形成面よりP型、I型(真性またはオートドーピング等を含む人為的に不純物を添加しない実質的に真性)さらにN型の半導体または半絶縁体を作製した。

さらにかかる反応性気体を用いると、反応炉を1気圧以下特に0.01~10torr、代表的には0.3~0.6torrの圧力下にて50W以下の電磁エネルギーにおいても、例えば0.01~100MHz特に500KHzまたは13.56MHzにおいて被膜を形成することが可能である。即ち低エネルギープラズマCVD装置とすることができた。

さらに50~500Wという高エネルギープラズマ雰囲気とすると、形成された炭化珪素は微結晶化し、その結果P型またはN型において、ホウ素またはリンを0.1~5% (ここでは(B<sub>2</sub>H<sub>6</sub>またはPH<sub>3</sub>)/(炭化物気体または炭化珪化物気体+珪化物気体)の比をパーセントで示す) 添加した場合、低エネルギーでは電気伝導度は $10^{-1} \sim 10^1$  (Ωcm)

とびら(34)を開けて、反応炉内に自動送り装置により導入され、さらにミキサー用混合板(35)も同時配置される。これらは反応炉、別室とも真空状態においてなされ、反応炉内に酸素(空気)が少しでも混入しないように務めた。さらに開閉とびら(34)を閉じたことにより、図面の如く電極(9),(10)の間に基板が配置された。

各基板は10~40mm代表的には20~25mmの間かくを置いて配列されており、このホルダーによる反応性気体は反応炉(4)の前方にミキサー(35)を設け層流とし、さらにこれらの反応性気体が基板の間の空間に均一に注入するように設けられている。被形成面は基板の下面または互いに裏面を重ね合わせて垂直に配置された側面である。

また図面は反応系を上方よりながめた構造を示したものであり、基板(1)は互いに裏面を合わせて垂直に配置させている。かくの如く重力を利用してフレイタを下側に除去することは、量産歩留りを考慮する時きわめて重要である。さらにこの基板(1)を折入させた反応炉(4)は、こ

であつたも  $10^{-1} \sim 10^1$  (Ωcm)と約千倍にまで高めることができた。

さらにこの高エネルギー法を用いて得られた炭化珪素は5~200Åの大きさの微結晶構造を有するいわゆるSAS構造を有せしめることができた。かかるSASにおいて、そのPまたはN型の不純物のアクセプタまたはドナーとなるイオン化率を97~100%を有し、添加した不純物のすべてを活性化することができた。

以下に図面に従つて本発明のプラズマ気相法を説明する。

第1図は本発明を用いたプラズマCVD装置の概要を示す。

第1図において被形成面を有する基板(1)は角型の石英ホルダーにて保持され、図面では7段2列計14まいの構成をさせている。基板およびホルダーは反応炉の前方の別室(2)に入口(3)より予め設置され、バルブ(32)ロータリーポンプ(33)により真空引きがなされる。さらに開閉

の基板に垂直または平行(特に平行にすると被膜の均一性が得やすい)に電磁エネルギーの電界が第2図(A)または(B)特に(B)の如くに加わるように一対の電極(9),(10)を上下または左右に配置して設けた。この電極の外側に電気炉(5)が設けられており、基板(1)が100~400°C代表的には300°Cに加熱されている。

反応性気体は水素またはヘリウムのキャリアガス例えばヘリウムを(4)より、Ⅱ価の不純物である~~二硫化~~SiH<sub>4</sub>より、Ⅴ価の不純物であるフォスヒンを(4)より、Ⅳ価の添加物である珪化物気体のシランを(4)より導入した。

また炭素-珪素結合を有する反応性気体TMS(4)を用いると、初期状態で液体であるためステンレス容器(2)に保存される。この容器は電子層層(2)により所定の温度に制御されている。

このTMSは沸点が25°Cであり、ロータリーポンプ(32)をバルブ(31)をへて排気させ、反応炉内を0.01~10torr特に0.02~0.4torrに保持させた。こうすることにより、1気圧より低い

圧力により結果として加熱しなくてもTMSを気化させることができる。この気化したTMSを100%の濃度で流量計を介して反応炉に導入することは、従来の如く容器内をバブルして反応性気体を放出するやり方に比較して、その流量制御が精度よく可能であり、技術上重要である。

実用上流量計がつかつた場合、図面において4よりヘリウムを導入した。

また反応筒またはホルダー(2)の内壁または表面に付着した反応生成物を除去する場合は4より $\text{CF}_4$ または $\text{CF}_4+\text{O}_2$ (2~5%)を導入し、電磁エネルギーを加えてフッ素ラジカルを発生させて気相エッチングをして除去した。

さらにこのプラズマ放電においては、反応性気体が混合室(9)をへて混合された後、励起室(8)において分解または反応をおこさしめ、反応生成物を基板上に形成する空間反応を主として用いた。電磁エネルギーは電源(4)より直流または高周波を主として用いた。

た。

以上の実施例より明らかな如く、本発明は反応性気体をミキサ(9)にて混合した後、排気口(6)に層状(ミクロにはプラズマ化された状態ではランダム運動をしていた)に流し、この流れに平行に基板を配置して被形成面上にその膜厚が±5%以内のバラツキで0.1~3 $\mu$ の厚さに被膜を形成せしめたことを特徴としている。

さらにこの際プラズマをグロー放電法を利用しておこさせるが、その電極を反応筒の外側に配置せしめ、多量の基板に均一にプラズマがかかるようにしたことを特徴としている。

また被膜の形成に際し、図面の如く7段2列ではなく、20段20列の如く反応筒を長くする場合、0.4torrではなくさらに0.2、0.1、0.05torrとより低圧にすることが、その膜質の均一性特に最前列と最後列との均一性を得しめる上に重要である。

またこの反応筒内に酸素等の制御できない酸

このとして被形成面上に炭化珪素被膜を形成した。例えば基板温度300°C、高周波エネルギーの出力25W、シランまたはTMS 50cc/分、キャリアガスとしての $\text{H}_2$  250cc/分とした。(反応性気体/ $\text{H}_2$ ) 5において160Å/分の被膜成長速度を得ることができた。

さらにこの被膜形成には、PIN接合、PN接合、PI、NI接合、PINPIN接合等をその必要な厚さに必要な反応生成物を基板上に漸次積層して形成させた。

このようにして被形成面上に被膜を形成させてしまつた後、反応生成物を反応筒より十分にバージした後、開閉とびら(34)を開け、ミキサ用混合板(35)、ジグ(3)上の基板を別室(31)に自動引出し管により反応筒および別室をともに真空(0.01torr以下)にして移動させた。さらに開閉とびら(34)を閉じた後、別室(31)よりバルブを開けて空気を充填し大気圧とした後、外部にジグおよび被膜の形成された基板をとり出し

化物気体の混入を防ぐため、別室を設け、この別室を介して大気中での作業と結合せしめたことは、得られた被膜の特性の再現性を得るのにきわめて重要であつた。

第2図は第1図の図面における排気口(6)方向よりみた基板(1)の配置と電極(9)(10)との関係を示す。図面において(1)は基板を水平、電極(9)(10)による電磁界を水平方向に配置したもので、この場合一度に導入できる基板の枚数をふやすことができる。

第2図例は電極(9)(10)による電磁界、基板(1)ともに垂直にしたもので、基板の配置数が(1)の2倍になる。

第3図は本発明の半導体装置作製方法の操作手順チャートを示したものである。

図面において'0'である(4)は反応炉の真空引による0.01torr以下の保持を示す。さらに'1'の(4)は本発明による反応炉または反応筒およびホルダーに珪素または炭化珪素のコーティ

ングを示す。

このコーティングはその断面を示すと第3図(b)(c)である。第3図(b)は真空引(49)により0.01 torr以下にし、10~30分保持した後、水を電磁エネルギーにより0~30分30~50Wの出力によりプラズマクリーニングを行ない、吸着、水分、酸素を除去した。さらにその水を除去した後、(d)によりヘリウムを同時に30~50Wの出力により10~30分プラズマ化し、さらに表面の水素を除去した。この水素プラズマ発生(50)に対しては、水素中に1~5%の濃度でH<sub>2</sub>O<sub>2</sub>またはO<sub>2</sub>を添加して行なうと、塩素ラジカルが同時に発生し、このラジカルが石英等ホルダーの内側に存在しているナトリウム、カリウム、アルカリ金属をすい出す効果を有する。このためバックグラウンドレベルでのナトリウム、水分、酸素の濃度を形成された被膜中にて10<sup>-6</sup>cm以下にすることができ、きわめて重要な前処理工程であつた。

この塩素を添加した場合、さらにこの壁面

層の作製(43)、N型半導体層の作製(44)を行い、第1の半導体装置を作製(49)した。この半導体装置は前記したPI、NI、PIN、PN等の接合を少なくとも1つ有するデバイス設計仕様によつて作られなければならないことはいうまでもない。

さらにこの後、この系に対し、反応炉のみまたはこの反応炉とホルダーを挿入設置された反応系に対し(46)に示すI型半導体層または(42)に示す半導体層と同じ半導体層のコーティングによる前の半導体装置作製の採用られた工程(44)の~~工程~~が次のランに対して影響を与えないようにした。その詳細は第3図(b)(c)(d)(e)に示す。

すなわち第3図(b)は前記した系と同じく真空引(49)水素プラズマ放電(50)、ヘリウムプラズマ処理(51)、1448Åのランの最初の工程の半導体層を形成する工程(52)を有する。しかしこの(50)、(51)がすでに(4)で(46)で行われているため、一般には(4)の(52)で0.1~2μの厚さの半導体層の作製で十分であつた。

またこの前の半導体装置の作製(49)すなわち

残留吸着した~~物質~~を除去するため(53)の不活性気体によるスパッタリングによる除去も有効であつた。

この後これらの系を真空引した後、珪化物気体であるシランまたは炭化珪素化合物であるTMSを導入し、プラズマエネルギーにより分解して、0.1~2μ代表的には0.2~0.5μの厚さに形成させた。これらの被膜形成をさせる際、高い電磁エネルギーが加わる領域すなわち不純物が再放出されやすい領域に特に厚くつきやすく、二重に好ましい結果をもたらせた。

かかる本発明の複雑な前処理工程を行わない場合であつても、第3図(c)に示す如く真空引の後、珪素または炭化珪素を(52)において同様に0.1~2μ形成し、反応炉壁からの酸素、アルカリ金属の再放出を防ぐことが有効であつた。

また第3図(d)においては半導体装置の作製のため、基板のコーティング、系の真空引(41)さらにPまたはN型半導体の作製(42)、I型半導体

前のランでの履歴をなくするため、(b)(c)に示すプラズマエッチング工程を行つてもよい。すなわち第3図(b)は真空引(49)O<sub>2</sub>またはO<sub>2</sub>+O<sub>2</sub>(約5%)を第1図での(4)より導入し、20分~1時間プラズマエッチング(53)を行なつた。さらに真空引をしてその後O<sub>2</sub>、Fの残留物を除去するため水素プラズマ処理(50)を10~30分、さらにこのI層に0.05~0.5μのI型または次の工程の最初のランの半導体層(42)と同様の導電型、成分の半導体層の作製を行なつた。この方法が最も徹底して再現性を保証することができた。

簡単な方法としては(4)に示す(49)の真空引、プラズマエッチング(53)残留吸着ガスの除去(50)工程を行なつた。

かくすることにより第1の半導体装置の作製(49)の最後工程(44)と次の工程(46)の最初の工程(42)との間でPまたはN型の不純物が互いに(42)にて混入する可能性を除去することができた。

また(44)での炭素、ゲルマニウム等の添加



物を(42)にて混入すとも防ぐことができた。

かかる本発明の方法によりその効果を評価した結果を第4図に示す。

第4図は本発明方法を用いて作られた光電変換装置の結果である。この場合基板として金属例えばステンレス基板または透光性基板であるガラス上にITOを500~2000Å、さらにこの上に酸化スズまたは酸化アンチモンを100~500Åの厚さに形成させた多重膜の電極を有する基板を用いた。この上にP型炭化珪素 ( $81 \times C_{99} 0 \leq x < 1$ ) (例えば  $x=0.3 \sim 0.5$ ) を100~300Åの厚さにまたこの上面に真性または実質的に真性のAsまたはSbの珪素を0.4~0.7μの厚さに、さらにこの上面にN型炭化珪素 ( $81 \times C_{99} 0 \leq x < 1$  例えば  $x=0.3 \sim 0.5$ ) を100~300Åの厚さに形成させたPIN構造を有せしめた。このP、I、N型半導体の記号は第3図(A)のチャートにおける(42)、(43)、(44)、(45)・・・に対応させた。

さらにこの後この工程にITOを600~800Åの厚さにまたはアルミニウム金属膜を真空蒸

着法で形成して光電変換装置を作った。その変換効率を第4図(A)に示す。

10mWのセルの大きさをAM1 (10mW/cm<sup>2</sup>) の条件にて前処理(40)をいれない場合(71)の3%が、また前処理を行なうと(70)の値が得られた。さらに中間の(40)の工程を加えることによるラン(製造中)のばきの場合(60)になり全く加えないと(61)が得られた。

(60)はその効率が11~9%を得ることができ、るのに対し、本発明方法を用いない場合1~4%しかなかった。

さらにこのセル面積を100cm<sup>2</sup>にすると、本発明方法を用いると7~9%の効率を得ることができるのに対し、本発明方法を用いないと0~3%であつた。特にダイオード特性がないものが30%以上を有し、製造不可能であつた。

第4図(B)は特に表面積にてP型の半導体を作る工程でI型の珪素半導体を作つた場合の電気伝導度の値を示す。

前工程でP型半導体を作り、本発明方法の中間処理法の前処理を行なわない時、AM1の光照射による電気伝導度が(65)である。暗伝導度(64)と逆の場合でも、またその値も $10^{-10}$ で大きくバラツキがあつた。他方本発明の前処理を行なつた場合、光伝導度(70)、暗伝導度(70)が得られた。また中間処理を行なつた時は光伝導度(62)、暗伝導度(63)が得られた。これらは本発明におけるドーピング効果防止がいかに重要であるかを明確に示したものである。

以上の説明より明らかな如く、本発明は同一反応筒を用いて光電変換装置または発光素子のみならず、電界効果半導体装置、フォトセンサアレー等の各種の半導体装置を作製する上にとわめて重要な製造装置および製造方法を提供したものであり、これにより従来たて型のプラズマCVD装置にて10cm<sup>2</sup>を60分作ると同じ時間で、100~500cm<sup>2</sup>の基板上に非単結晶半導体膜を作ることができ、きわめて多量生産向きで

ある。さらに本発明の如き電極構造または基板の配置をすることにより、PIN構造を有する光電変換装置において10%以上の変換効率をくりかえし安定して得ることができ、その膜質においてもきわめてすぐれたものであつた。

本発明においては、炭化珪素 ( $81 \times C_{99} 0 \leq x < 1$ ) を中心として記した。しかし反応性気体をゲルマニウムを用いると、 $81 \times C_{99} 0 \leq x < 1$  を得ることができ、第1のPIN構造を珪素と炭化珪素によりさらに第2のPIN構造を珪素と強化ゲルマニウムによりPINPIN構造いわゆるタンデム構造を得ることも可能である。

本発明は第1図に示すタイプのプラズマCVD装置を中心として示した。しかしその電極の作り方を誘電型としたり、またアーチ放電を利用するプラズマCVD装置であつても本発明は有効である。またたて型、A14型のベルジャー型のプラズマCVD装置であつても同様に本発明方法を適用することができる。

## 4. 図面の簡単な説明

第1図は本発明のプラズマ気相装置である。

第2図は第1図の一部を示す。

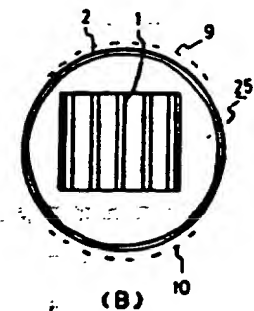
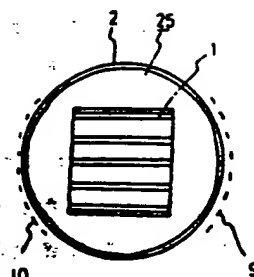
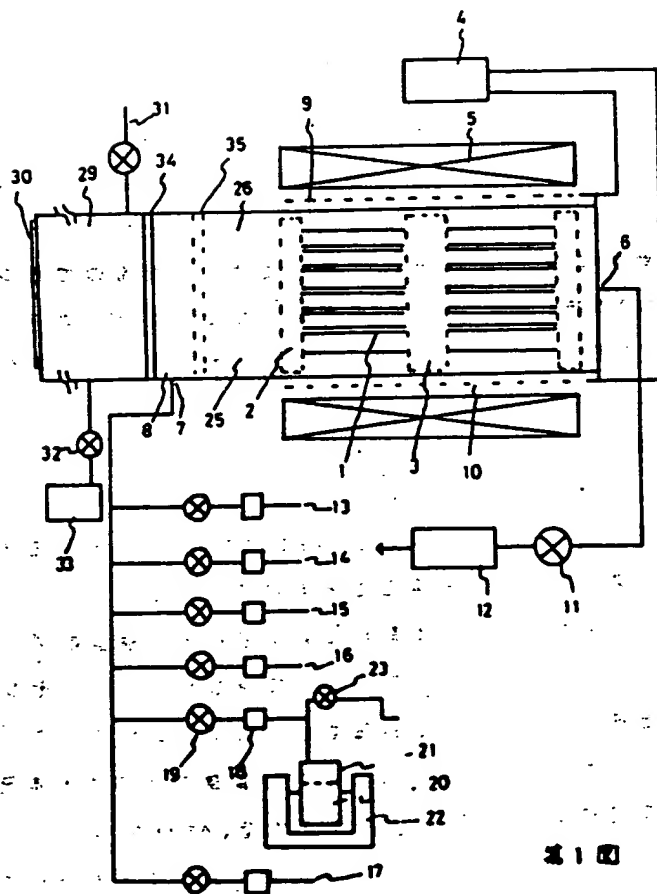
第3図は第1図の装置を用い、本発明方法のプラズマ気相法を用いるチャートである。

第4図(A)は第3図のチャートに従って得られた光電変換装置の効率および(B)は本発明方法のドーピング防止効果を示す他の資料である。

特許出願人

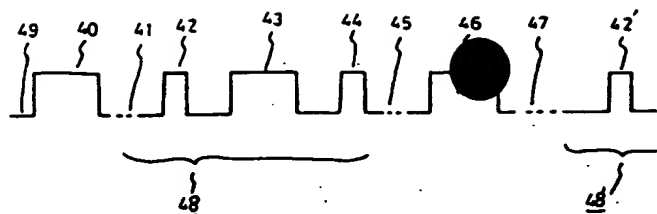
株式会社半導体エネルギー研究所

代表者 山崎 舜平

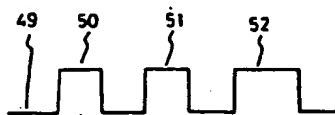


第1図

第2図



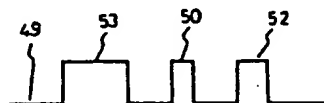
(A)



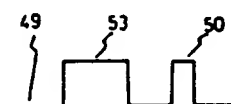
(B)



(C)

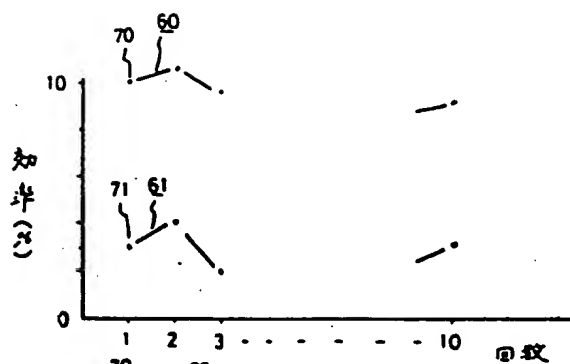


(D)

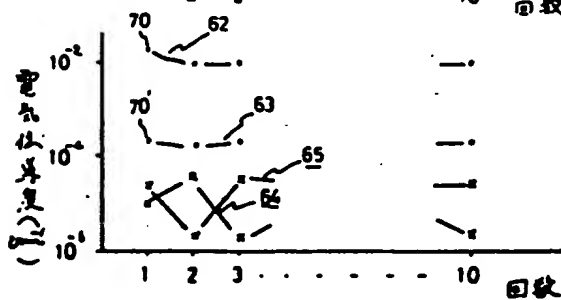


(E)

第 3 図



(A)



(B)

第 4 図